

특 2001-0045961

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 (43) 공개일자	특2001-0045961 2001년06월05일
(21) 출원번호	10-1999-0049502	
(22) 출원일자	1999년11월09일	
(71) 출원인	주식회사 하이닉스반도체	박증섭
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 이기정	
	서울특별시송파구석촌동270-2호	
	김동준	
	경기도이천시중포동신한아파트104동402호	
(74) 대리인	신영무, 최승민	

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 256M DRAM급 이상의 고집적 소자에서 요구되는 25fF/cell 이상의 충전 용량을 확보하기 위한 고유전체 캐패시터에서 유전체막으로 사용되는 Ta_2O_5 증착시에 Ti 성분을 첨가시켜 유전 상수 값이 약 25인 Ta_2O_5 막 보다 유전 상수 값이 약 50 정도로 크고 구조적으로 안정된 $(Ta_{0.9}O_{5.1})_{1-x}(TiO_2)_x$ 를 유전체막으로 사용함으로써, 충전 용량을 충분히 확보할 수 있을 뿐만 아니라 우수한 전기적 특성을 갖는 반도체 소자의 캐패시터 제조 방법에 관하여 기술된다.

도표도

도1

색인어

고유전체 캐패시터, Ta_{205} - TiO_2 유전체막

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.
<도면의 주요 부분에 대한 부호 설명>

- | | |
|--|-------------|
| 11 : 반도체 기판 | 12 : 충전 절연막 |
| 13 : 하부 전극 | 14 : 질화막 |
| 15 : $(Ta_{0.9}O_{5.1})_{1-x}(TiO_2)_x$ 박막 | 16 : 상부 전극 |
| 16a : 금속계 물질층 | 16b : 완충층 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 고유전체 캐패시터에서 유전체막으로 사용되는 Ta_2O_5 박막의 증착 공정을 개선하여 Ta_2O_5 박막보다 유전 상수 값이 크고 구조적으로 안정된 박막을 형성하여 충전 용량을 충분히 확보하면서 우수한 전기적 특성을 갖는 캐패시터를 제조할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로, 미세화된 반도체 공정기술의 발달로 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀 면적이 크게 감소하고 있으며, 동작 전압의 저 전압화가 이루어지고 있다. 그러나, 기억소자의 동작에 필요한 충전 용량은 셀 면적 감소에도 불구하고, 소프트 에러(Soft error)의 발생과 리프레쉬 시간(Refresh

time)의 단축을 방지하기 위해서 25fF/cell 이상의 충분한 충전 용량이 요구되고 있다.

현재 질화막/산화막(NO) 구조와 같이 질화막을 유전체로 사용하고 있는 DRAM용 캐패시터의 경우에는 유효 표면적을 증대시켜 충전 용량을 확보하기 위하여, 하부 전극을 3차원 구조로 형성하거나 그 높이를 높게 하고 있는 실정이다. 그러나, 하부 전극을 3차원 구조로 형성하는 것은 공정상의 어려움으로 충전 용량을 확보하는데 한계가 있고, 또한 높이가 증가되면서 생기는 셀 지역과 주변회로 지역간의 단차 차이로 인해 후속 노광공정시 초점 심도(Depth of Focus)가 확보되지 않아 배선 공정 이후 집적공정에 악영향을 미치게 된다. 따라서, 종래의 NO 구조의 캐패시터로는 256M 이상의 차세대 DRAM 제품에 필요한 충전 용량을 확보하는데 한계가 있다.

NO 캐패시터의 한계를 극복하고자 유전 상수 값이 4 내지 5인 NO 박막 대신에 유전 상수 값이 25 내지 27인 Ta_2O_5 박막을 유전체막으로 이용하는 Ta_2O_5 캐패시터의 개발이 이루어지고 있다. 그러나, Ta_2O_5 박막은 불안정한 화학양론비를 갖고 있기 때문에 Ta와 O의 조성비 차이에 기인한 치환형 Ta원자가 박막 내에 존재하게 된다. 즉, Ta_2O_5 박막은 물질 자체의 불안정한 화학적 조성비 때문에 박막 내에는 산소 공공(Oxygen vacancy) 상태의 치환형 Ta원자가 함식 국부적으로 존재할 수밖에 없다. 특히, Ta_2O_5 박막의 산소공공의 수는 성분들의 함량과 결합정도에 따라 다소의 차이는 있을 수 있지만 완전하게 제거할 수 없다. 결과적으로 Ta_2O_5 박막의 불안정한 화학양론비를 안정화 시켜 누설전류를 방지하기 위하여 유전체 박막 내에 잔존해 있는 치환형 Ta원자를 산화시키려는 별도의 산화 공정이 필요하다. 또한, Ta_2O_5 박막은 상부 전극 및 하부 전극으로 사용되는 폴리실리콘(옥사이드계 전극) 또는 TiN(금속계 전극)과의 산화 반응성이 크기 때문에 박막 내에 존재하는 산소가 계면으로 이동하여 저 유전 산화층을 형성함과 동시에 계면의 균질성이 크게 떨어진다. 그리고, 박막 형성시 Ta_2O_5 박막의 전구체(Precursor)인 $Ta(OC_2H_5)_5$ 의 유기물과 O_2 또는 N_2O 가스의 반응으로 인해서 불순물인 탄소원자와 CH_4 , C_2H_4 등과 같은 탄소화합물 및 수분(H_2O)이 함께 존재하게 된다. 결국 Ta_2O_5 박막 내에 불순물로 존재하는 탄소원자, 이온과 라디칼(Radical)로 인해서 캐패시터의 누설 전류가 증가하게 되고 유전 특성이 열화 되는 문제점이 발생된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 고유전체 캐패시터에서 유전체막으로 사용되는 Ta_2O_5 박막의 증착 공정을 개선하여 Ta_2O_5 박막보다 유전 상수 값이 크고 구조적으로 안정된 박막을 형성하여 충전 용량을 충분히 확보하면서 우수한 전기적 특성을 갖는 캐패시터를 제조할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐패시터 제조 방법은 반도체 소자를 형성하기 위한 여러 요소가 형성된 기판 상에 하부 전극을 형성하는 단계; 상기 하부 전극 상에 비정질(Ta_2O_5),...-(TiO_2), 유전체막을 형성하는 단계; 및 상기 (Ta_2O_5),...-(TiO_2), 유전체막 상에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 소자를 형성하기 위한 여러 요소(도시않됨)가 형성된 반도체 기판(11) 상에 층간 절연막(12)을 형성한 후 캐패시터의 하부 전극(13)을 형성한다.

상기에서, 하부 전극(13)은 도프트 폴리실리콘, 도프트 비정질 실리콘과 같은 실리콘계 물질로 형성한다. 하부 전극(13)은 간단한 스택 구조(simple stacked structure) 또는 도면에 도시된 실린더(cylinder) 구조를 기본으로 하는 이중 및 삼중 구조와 같은 다양한 3차원 구조로 형성하여 유효 표면적을 증대시키거나, 반구형 폴리실리콘층을 추가로 형성하여 유효 표면적을 증대시킬 수 있다.

도 1b를 참조하면, 하부 전극(13)의 표면을 질화(nitridation)시켜 그 표면에 질화막(14)을 얇게 형성한다.

상기에서, 질화막(14)은 캐패시터의 유전체막 형성시나 후속 열 공정에 의해 유전체막과 하부 전극(13)과의 계면에 저 유전 자연 산화막(SiO_2)이 생성되는 것을 방지하는 역할을 하며, 저압 화학기상증착(LPCVD) 챔버에서 유전체막 형성 전에 인-시튜(In-situ) 또는 엑스-시튜(ex-situ) 상태로 플라즈마를 방전시켜 NH_3 가스 또는 N_2/H_2 가스 분위기에서 질화시켜 형성되며, 이때 웨이퍼의 온도는 300 내지 500℃를 유지한다. 플라즈마를 이용하여 질화시키는 대신에 급속 열 공정(Rapid Thermal Process; RTP)을 이용하여 650 내지 950℃의 온도 및 NH_3 가스 분위기에서 어닐링하여 질화막(14)을 형성하거나, 전기로(furnace)를 이용하여 500 내지 1000℃의 온도 및 NH_3 가스 분위기에서 질화막(14)을 형성할 수 있다.

한편, 캐패시터의 유전체막 형성시나 후속 열 공정에 의해 유전체막과 하부 전극(13)과의 계면에 저 유전 자연 산화막(SiO_2)이 생성되는 것을 방지하기 위해 질화막(14)을 형성하는 대신에 하부 전극(13)의 표면을 HF 증기(HF vapor) 또는 HF 용액(HF solution)을 사용하여 자연 산화막을 제거하고 유전체막을 형성할 수 있으며, HF 화합물을 이용한 하부 전극(13)의 표면 처리 전후에 계면을 세정하거나 균일성(uniformity)을 향상시킬 목적으로 NH_4OH 용액 또는 H_2SO_4 용액 등이 화합물을 사용하여 계면을 처리한 다음 유전체막을 형성할 수 있다.

캐패시터의 유전체막 형성 전에 산화저항성을 증가시키기 위해 플라즈마 또는 급속 열 공정(RTP)을 이용하여 N_2 가스 또는 N_2/H_2 가스 분위기에서 하부 전극(13) 표면을 300 내지 950°C의 온도 범위 내에서 질화시키거나 NO_2 또는 O_2 가스 분위기에서 열처리하여 덩굴링 본드(dangling bond)에 기인한 구조적 결함(defect) 내지는 구조적 불균일성(homogeneity)을 개선하여 누설 전류 특성을 향상시킬 수 있다.

도 1c를 참조하면, 질화막(14)이 형성되어 있는 전체 상부면에 캐패시터의 유전체막으로 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)을 형성한다.

상기에서, $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)은 300 내지 600°C의 온도와 10torr 이하의 압력으로 유지된 저압 화학기상증착 챔버 내에서 Ta 화합물 증기가스와 Ti 화합물 증기가스와 반응가스인 과잉(excess) O_2 가스를 MFC(mass flow controller)와 같은 유량 조절기를 통해 챔버내로 공급하여 웨이퍼 상에서 일어나는 표면화합반응을 통해 비정질 박막을 형성한 후, 저온 열 공정 및 고온 열 공정을 실시하여 형성된다. 이렇게 형성되는 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)은 몰 조성비가 $Ti/Ta = 0.01$ 내지 1.0 이 되도록한다. $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)에서 "x"는 0보다 크거나 같고 0.5보다 작거나 같다($0 \leq x \leq 0.5$).

Ta 화합물 증기가스는 MFC(Mass Flow Controller)와 같은 유량 조절기를 통해 증발기 또는 증발관으로 공급된 일정량의 $Ta(OC_2H_5)_5$ 용액을 140 내지 200°C의 온도 범위 내에서 증발시켜 얻는다. Ti 화합물 증기가스는 $Ti[OCH(CH_3)_2]_4$ 용액을 유량조절기를 통해 증발기 또는 증발관으로 공급한 다음 일정량을 200 내지 300°C에서 증발시켜 얻는다. Ti 화합물 증기 가스를 얻기 위하여, $TiCl_4$, TDMAT(tetrakis-dimethylamido-Ti), TDEAT (tetrakis-diethylamido-Ti) 화합물들을 전구체로 사용한다.

저온 열 공정은 300 내지 500°C의 온도에서 UV-O₃를 이용하여 실시하는데, 이는 비정질 상태의 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15) 내의 치환형 Ta 원자에 남아있는 산소공공과 탄소 불순물을 산화시켜 누설 전류 발생 요인을 제거한다.

고온 열 공정은 전기로(furnace) 또는 급속 열 공정(rapid thermal process; RTP)을 사용하여 650 내지 950°C의 온도와 N_2O , O_2 또는 N_2 가스 분위기로 실시하는데, 이러한 고온 열 공정을 통해 비정질 상태의 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15) 내에 존재하는 탄소화합물과 같은 불순물을 제거하여 누설 전류 발생을 방지하면서 비정질 상태의 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)의 결정화를 유도하여 유전율을 증가시킨다.

상기와 같이 비정질 상태로 증착한 후에 저온 및 고온 열 공정으로 형성된 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)은 결합 구조상 정방계 TiO_2 ($\epsilon=40$)가 박막 내에서 Ta_2O_5 와 공유결합 되어 있으므로, Ta_2O_5 구조 보다 상대적으로 안정하다. 또한, $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15) 내에는 Ta_2O_5 자체의 불안정한 조성에 기인한 산소 공공(Oxygen Vacancy) 상태의 치환형 Ta 원자가 부분적으로 존재하는데, 이 산소 공공의 수는 TiO_2 성분의 함량과 결합정도에 따라 다소의 차이는 있을 수 있지만 순수한 Ta_2O_5 박막으로 존재할 때 보다 적다.

도 1d를 참조하면, $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15)상에 상부 전극(16)을 형성하여 본 발명의 캐패시터가 완성된다.

상기에서, 상부 전극(16)은 TiN, TaN, W, WN, WSi, Ru, RuO_2 , Ir, IrO_2 , Pt와 같은 금속계 물질층(16a)으로 형성하거나, $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막(15) 상에 금속계 물질층(16a)을 100 내지 600Å의 두께로 먼저 형성한 후에 금속계 물질층(16a) 상에 후속 열 공정에 의한 캐패시터의 전기적 특성 열화를 방지하기 위한 완충층(16b)으로 도프트 폴리실리콘을 적층하여 캐패시터를 제조한다.

발명의 효과

상술한 바와 같이, 본 발명은 유전율이 높은 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막($\epsilon=50$)을 이용하므로 종래 NO 박막($\epsilon=4-5$) 및 Ta_2O_5 박막($\epsilon=25$)을 이용한 캐패시터보다 큰 충전용량을 얻을 수 있다. 본 발명의 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막은 구조적으로 안정된 정방정계의 격자 구조를 갖고 있는 TiO_2 가 공유결합되어 있기 때문에 Ta_2O_5 자체로 존재하는 경우에 비해 기계적, 전기적 특성이 우수하고, 구조적으로 안정되어 있어 외부로부터 인가되는 전기적 충격에도 강할 뿐만 아니라 누설 전류 발생이 낮아 Ta_2O_5 를 이용한 캐패시터보다 우수한 전기적 특성을 얻을 수 있다. 또한, $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 박막은 유전율이 크기 때문에 하부 전극의 면적을 증가시키기 위해 복잡한 3차원 구조의 캐패시터 모듈이 필요가 없다. 따라서, 캐패시터 모듈 형성 공정이 간단한 스택 구조라 하더라도 충분한 충전 용량을 얻을 수가 있기 때문에 단위 공정수가 적고, 단위 공정 시간이 짧아 생산원가를 절감 할 수 있다. 더욱이, 본 발명은 종래 Ta_2O_5 증착 공정 전 반에 걸쳐 실시하는 RTA(Rapid Thermal Anneal)공정과 다단계 저온 산화공정이 필요 없기 때문에 원가 절감의 효과가 있다.

(57) 청구의 범위

형구항 1. 반도체 소자를 형성하기 위한 여러 요소가 형성된 기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막을 형성하는 단계; 및

상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막 상에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 하부 전극은 도프트 폴리실리콘, 도프트 비정질 실리콘과 같은 실리콘계 물질로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 3. 제 1 항에 있어서,

상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막 형성 전에 상기 하부 전극의 표면을 질화 시키는 질화막을 형성하는 단계를 추가하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4. 제 3 항에 있어서,

상기 질화막은 웨이퍼의 온도를 300 내지 500°C로 유지시킨 상태로 저압 화학기상증착 챔버에서 플라즈마를 방전시켜 NH_3 가스 또는 N_2/H_2 가스 분위기에서 질화 시켜 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5. 제 3 항에 있어서,

상기 질화막은 650 내지 950°C의 온도 및 NH_3 가스 분위기에서 금속 열 공정으로 형성하거나, 전기로를 이용하여 500 내지 1000°C의 온도 및 NH_3 가스 분위기에서 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6. 제 1 항에 있어서,

상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막 형성 전에 상기 하부 전극의 표면을 HF 증기나 HF 용액과 같은 HF 화합물을 사용하여 자연 산화막을 제거하는 단계를 추가하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7. 제 1 항에 있어서,

상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막은 몰 조성비가 $Ti/Ta = 0.01$ 내지 1.0 이고, 상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체 (15)에서 "x"는 0보다 크거나 같고 0.5보다 작거나 같은 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 8. 제 1 항에 있어서,

상기 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 유전체막은 Ta 화합물 증기가스와 Ti 화합물 증기가스와 반응가스인 과잉 O_2 가스를 유량 조절기를 통해 챔버내로 공급하여 웨이퍼 상에서 일어나는 표면화학반응을 통해 비정질 박막을 형성한 후, 저온 열 공정 및 고온 열 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 9. 제 8 항에 있어서,

상기 Ta 화합물 증기가스는 유량 조절기를 통해 증발기 또는 증발판으로 공급된 일정량의 $Ta(OC_2H_5)_5$ 용액을 140 내지 200°C의 온도 범위 내에서 증발시켜 생성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 10. 제 8 항에 있어서,

상기 Ti 화합물 증기가스는 $Ti[OCH(CH_3)_2]_4$ 용액을 유량 조절기를 통해 증발기 또는 증발판으로 공급한 다음 일정량을 200 내지 300°C 에서 증발시켜 생성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 11. 제 10 항에 있어서,

상기 Ti 화합물 증기 가스를 얻기 위하여, $TiCl_4$, TDMAT, TDEAT 화합물들을 전구체로 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 12. 제 8 항에 있어서,

상기 저온 열 공정은 300 내지 500°C의 온도에서 UV- O_3 를 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 13. 제 8 항에 있어서,

상기 고온 열 공정은 650 내지 950°C의 온도와 N_2O , O_2 또는 N_2 가스 분위기의 전기로에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 14. 제 1 항에 있어서,

상기 상부 전극은 TiN , TaN , W , WN , WSi , Ru , RuO_2 , Ir , IrO_2 , Pt 와 같은 금속계 물질층으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 15. 제 1 항에 있어서,

상기 상부 전극은 금속계 물질층을 100 내지 600Å의 두께로 먼저 형성한 후에 완충층으로 도프트 폴리실리콘을 적층하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

도면1

